

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Ryoichi ITO, et al.  
Application No.: New PCT National Stage Application  
Filed: February 9, 2005  
For: OPTICAL SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Assistant Commissioner of Patents  
Washington, D.C. 20231

Dear Sir:

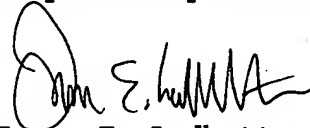
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2002-345178, filed November 28, 2002.

The International Bureau received the priority document within the time limit, as evidenced by the attached copy of the PCT/IB/304.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter  
Registration No. 28,732

Date: February 9, 2005

JEL/spp

Attorney Docket No. L8462.05106  
STEVENS DAVIS, MILLER & MOSHER, L.L.P.  
1615 L STREET, NW, Suite 850  
P.O. Box 34387  
WASHINGTON, DC 20043-4387  
Telephone: (202) 785-0100  
Facsimile: (202) 408-5200

Best Available Copy

10/523799

Rec'd T/PTO 09 FEB 2005

日 本 国 特 許 庁 PCT/JP 03/14278  
JAPAN PATENT OFFICE

01.12.03

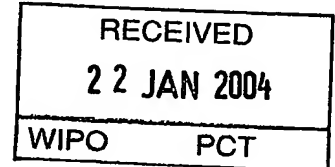
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2002年11月28日

出 願 番 号  
Application Number: 特願2002-345178  
[ST. 10/C]: [JP2002-345178]

出 願 人  
Applicant(s): 松下電器産業株式会社

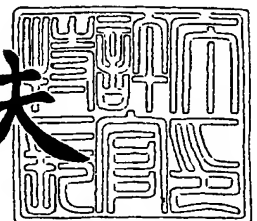


**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 1月 7日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



Best Available Copy

出証番号 出証特2003-3108978

【書類名】 特許願

【整理番号】 2924040031

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14  
H01L 31/10

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社内

【氏名】 伊藤 良一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社内

【氏名】 安川 久忠

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100076174

【弁理士】

【氏名又は名称】 宮井 暎夫

【選任した代理人】

【識別番号】 100105979

【弁理士】

【氏名又は名称】 伊藤 誠

【手数料の表示】

【予納台帳番号】 010814

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 光半導体装置  
【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体領域と前記第 1 導電型の半導体領域上に成膜された第 2 導電型の半導体領域とで構成される複数の受光素子と、

それぞれの前記受光素子間を分離するために前記第 2 導電型の半導体領域を貫通して前記第 1 導電型の半導体領域に達する溝に絶縁体または誘電体を埋め込んだ分離領域と、

前記分離領域上に形成された電極と、

前記電極と前記第 1 導電型の半導体領域とを電氣的に接続するために前記分離領域を貫通して前記第 1 導電型の半導体領域に達する開口に導電体を埋め込んだコンタクト部とを備えた光半導体装置。

【請求項 2】 開口に導電体を埋め込んだコンタクト部を、複数の全ての受光素子を取り囲むように配置したことを特徴とする請求項 1 に記載の光半導体装置。

【請求項 3】 第 1 導電型の半導体領域は、中層の第 1 導電型の不純物濃度を上層および下層よりも高くした前記上層、中層および下層の 3 層からなり、導電体を埋め込む開口を前記第 1 導電型の半導体領域の前記中層に達するように形成したことを特徴とする請求項 1 に記載の光半導体装置。

【請求項 4】 導電体の直下に第 1 導電型の半導体領域よりも第 1 導電型の不純物濃度の高い高濃度領域を設けたことを特徴とする請求項 1、2 または 3 に記載の光半導体装置。

【請求項 5】 導電体がドーパドポリシリコンまたはタングステンであることを特徴とする請求項 1、2、3 または 4 に記載の光半導体装置。

【請求項 6】 受光素子の形成領域以外の第 1 導電型の半導体領域上に前記受光素子に接続される回路を内蔵したことを特徴とする請求項 1、2、3、4 または 5 に記載の光半導体装置。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、光電変換信号を処理する受光素子および回路内蔵受光素子に関し、特にシリーズ抵抗を低減して、高速動作する受光素子および回路内蔵受光素子を実現するための光半導体装置に関するものである。

**【0002】****【従来の技術】**

従来からCDやDVD等の光ディスク装置において、ディスクから反射されたレーザ光の検出を行うために複数の受光領域を持つ光半導体装置が用いられている。近年、光ディスク装置の小型高性能化に伴い、外来ノイズに強く、高速動作する回路内蔵の受光素子が主流となってきた。また、DVDの光ディスク装置において高性能化のため、光半導体装置の高速、高感度、低ノイズがより要求されている。

**【0003】**

従来の光半導体装置は、不純物の拡散および埋め込み領域により半導体基板から電極を引き出しているためシリーズ抵抗が比較的大きく、受光素子の周波数特性の向上に限界がある（例えば、特許文献1参照。）。また、トレンチ分離により寄生容量を低減して受光素子の周波数特性の向上が可能であるが、これに加えてシリーズ抵抗の低減による受光素子の周波数特性の向上は提案されていない（例えば、特許文献2参照。）。

**【0004】****【特許文献1】**

特許第2793085号公報（第1～8頁、第1図）

**【特許文献2】**

特開平9-213917号公報（第1～7頁、第1図）

**【0005】****【発明が解決しようとする課題】**

以下、図面を用いて従来の光半導体装置の構造とその課題について説明する。

**【0006】**

図6は、従来構造の光半導体装置を示す断面図である。101は受光素子形成

領域である。102はP型半導体基板、103はP型半導体基板102上に成膜されたN型半導体層の形成層（形成領域）、104はN型半導体層（103）上に成膜された絶縁膜、105は受光素子に形成された反射防止膜、106は複数の受光素子間を分離する絶縁体または誘電体分離領域である。107は受光素子のカソード領域、108はカソード領域107上に形成されたカソードコンタクト領域、109はカソードコンタクト領域108上に形成されたカソード電極である。一方、110はアノード領域であるP型半導体基板102上に選択的に形成されたアノード引き出し領域、111はアノード引き出し領域110上に形成されたアノードコンタクト領域、112はアノードコンタクト領域111上に形成されたアノード電極である。

#### 【0007】

P型半導体基板102をアノード領域とし、その上のN<sup>-</sup>型領域をカソード領域107とする受光素子において、光が受光領域に入射されることによって電子正孔対が生成され、この生成されたキャリアは逆バイアスを印加した受光素子のPN接合部近傍における空乏層内の電界によりドリフトされて電極より光電流として出力される。一方、キャリア濃度勾配による拡散電流も電極より光電流として出力されるが、一般的に拡散時間はドリフト走行時間よりも長いため受光素子の周波数特性を低下させる要因の一つとなっている。

#### 【0008】

また、アノード部は不純物の拡散および埋め込み領域により半導体基板から電極を引き出しているためシリーズ抵抗が比較的大きく、受光素子の周波数特性の向上を困難にしている。

#### 【0009】

本発明の目的は、シリーズ抵抗を低減して受光素子の周波数特性を向上できる光半導体装置を提供することであり、さらには、拡散移動による低速なキャリア成分による受光素子の周波数特性の低下をも阻止できる光半導体装置を提供することである。

#### 【0010】

【課題を解決するための手段】

本発明の請求項 1 に記載の光半導体装置は、第 1 導電型の半導体領域と第 1 導電型の半導体領域上に成膜された第 2 導電型の半導体領域とで構成される複数の受光素子と、それぞれの受光素子間を分離するために第 2 導電型の半導体領域を貫通して第 1 導電型の半導体領域に達する溝に絶縁体または誘電体を埋め込んだ分離領域と、分離領域上に形成された電極と、電極と第 1 導電型の半導体領域とを電氣的に接続するために分離領域を貫通して第 1 導電型の半導体領域に達する開口に導電体を埋め込んだコンタクト部とを備えたものである。

#### 【0011】

この請求項 1 の構成によれば、各受光素子間を絶縁体または誘電体の分離領域で分離することによって、寄生容量を低減できるため受光素子の周波数特性を向上できる。さらに、分離領域に形成した開口に導電体を埋め込んだコンタクト部により、受光素子を構成する第 1 導電型の半導体領域と電極とを電氣的に接続することによって、シリーズ抵抗を低減することができるため受光素子の周波数特性をより向上できる。

#### 【0012】

つまり、受光素子の周波数特性を決定する  $f = 2\pi / RC$  ( $R$  はシリーズ抵抗、 $C$  は寄生容量) の式において、寄生容量の低減に加え、シリーズ抵抗の低減により相乗的に受光素子の周波数特性を向上できる。

#### 【0013】

本発明の請求項 2 に記載の光半導体装置は、請求項 1 に記載の光半導体装置において、開口に導電体を埋め込んだコンタクト部を、複数の全ての受光素子を取り囲むように配置したことを特徴とする。

#### 【0014】

この請求項 2 の構成によれば、請求項 1 の効果に加え、全ての受光素子で発生したキャリアを均一に最短ルートで吸い上げることができるため周波数特性をさらに向上できる。

#### 【0015】

本発明の請求項 3 に記載の光半導体装置は、請求項 1 に記載の光半導体装置において、第 1 導電型の半導体領域は、中層の第 1 導電型の不純物濃度を上層およ



び下層よりも高くした上層、中層および下層の3層からなり、導電体を埋め込む開口を第1導電型の半導体領域の中層に達するように形成したことを特徴とする。

#### 【0016】

この請求項3の構成によれば、請求項1の効果に加え、第1導電型の半導体領域内の中層を不純物濃度を高くしたことにより、その下の下層で発生した拡散移動による低速なキャリア成分をカットできるため周波数特性の低下を阻止できる。さらに中層を導電体を介して電極と接続しているため、不純物濃度の高い中層によりシリーズ抵抗が低減されることにより、大幅にシリーズ抵抗を低減でき、受光素子の周波数特性をさらに向上できる。

#### 【0017】

本発明の請求項4に記載の光半導体装置は、請求項1、2または3に記載の光半導体装置において、導電体の直下に第1導電型の半導体領域よりも第1導電型の不純物濃度の高い高濃度領域を設けたことを特徴とする。

#### 【0018】

これにより、導電体と第1導電型の半導体領域との接続抵抗値を小さくできる。

#### 【0019】

本発明の請求項5に記載の光半導体装置は、請求項1、2、3または4に記載の光半導体装置において、導電体がドーパドポリシリコンまたはタングステンであることを特徴とする。

#### 【0020】

このように、導電体としてドーパドポリシリコンまたはタングステンのように低抵抗な材料を用いることが好ましい。

#### 【0021】

本発明の請求項6に記載の光半導体装置は、請求項1、2、3、4または5に記載の光半導体装置において、受光素子の形成領域以外の第1導電型の半導体領域上に受光素子に接続される回路を内蔵したことを特徴とする。

#### 【0022】

このように、回路を同一チップに内蔵することによって、特に外来ノイズに強く、高速動作が可能な光半導体装置を実現できる。

### 【 0 0 2 3 】

#### 【発明の実施の形態】

以下、本発明の実施の形態について説明する。

### 【 0 0 2 4 】

#### （第 1 の実施の形態）

図 1 は、本発明の第 1 の実施の形態における光半導体装置の構造を示す断面図である。1 は複数の受光素子（ホトダイオード）が形成された受光素子形成領域である。2 は P 型半導体基板、3 は P 型半導体基板 2 上に成膜された N 型半導体層の形成層（形成領域）、4 は N 型半導体層（3）上に成膜された絶縁膜、5 は受光素子に形成された反射防止膜、6 は複数の受光素子間を分離する絶縁体または誘電体分離領域である。7 は受光素子のカソード領域、8 はカソード領域 7 上に形成されたカソードコンタクト領域、9 はカソードコンタクト領域 8 上に形成されたカソード電極である。一方、10 はアノード領域である P 型半導体基板 2 上に選択的に形成された P<sup>+</sup> 型領域からなるアノード引き出し領域、11 は分離領域 6 内をエッチングにより開口した領域にアノードコンタクトを取るための低抵抗の導電体を埋め込んだ領域である。12 は導電体埋め込み領域 11 上に形成されたアノード電極である。P 型半導体基板 2 上に成膜された N 型半導体層（3）は、カソード領域 7 を構成する N<sup>-</sup> 型領域と、カソード領域 8 を構成する N<sup>+</sup> 型領域として存在している。

### 【 0 0 2 5 】

この第 1 の実施の形態における光半導体装置の製造方法の一例を説明する。まず、P 型半導体基板 2 上に、エピタキシャル成長により N 型半導体層の形成層 3 を成膜する。次に、例えば、N 型半導体層の形成層 3 を選択的にエッチングし、局部的にパイロジェニック方式などで熱酸化を行ってシリコン LOCOS を成長させて酸化膜よりなる分離領域 6 を形成する。その後、N 型半導体層の形成層 3 の表面に、N 型不純物を低加速度で極浅のイオン注入をしてカソードコンタクト領域 8 を形成し、同時にカソード領域 7 が形成される。そして、例えば、ドライエッ

チングによって分離領域 6 の所定部分をエッチングして P 型半導体基板 2 に到達する開口を形成した後、その開口に P<sup>+</sup> 型不純物をイオン注入してアノード引き出し領域 10 を形成する。さらに、P 型不純物によるドーパドポリシリコンを埋め込み、エッチバックにより表面のドーパドポリシリコンのみを除去して導電体を埋め込んだ領域 11 を形成する。次に、例えば減圧 CVD 方式により SiN 膜を成膜させた後、常圧 CVD 方式により酸化膜を成膜することで全面に絶縁膜 4 (SiN 膜と酸化膜よりなる) を形成する。次に、カソードコンタクト領域 8 および導電体を埋め込んだ領域 11 とコンタクトを取るため、選択的にドライエッチングにより絶縁膜 4 の所定部分をエッチングし開口する。そして、スパッタ方式によりアルミニウムを堆積させた後、パターンニングしてカソード電極 9 およびアノード電極 12 を形成する。最後に、受光部の反射防止膜領域のみをウェットエッチングによって上記の常圧 CVD 方式で成膜した酸化膜を除去することで反射防止膜 5 (上記の SiN 膜よりなる) を形成して、第 1 の実施の形態における光半導体装置が完成する。

#### 【0026】

本実施の形態の構造においては、アノード領域となる P 型半導体基板 2 とカソード領域 7 の PN 接合部近傍で吸収された光によりキャリアが生成されて光電流として外部に出力されるので、特に半導体材料がシリコンでは光の浸入深さが深い赤外光の場合に受光感度に関して有利な構造である。特に、受光素子間の分離が絶縁体または誘電体分離領域 6 であるため寄生容量が低減され、かつ、低抵抗の導電体 (11) を埋め込んでアノード領域となる P 型半導体基板 2 から直接コンタクトを取ることにによりシリーズ抵抗が低減されるため、 $f = 2\pi / RC$  (R はシリーズ抵抗、C は寄生容量) の式で表される受光素子の周波数特性が向上することになる。

#### 【0027】

##### (第 2 の実施の形態)

図 2 は、本発明における第 2 の実施の形態における光半導体装置の構造を示す断面図である。13 は P 型半導体基板 2 上に選択的に形成されたトレンチ下の P<sup>+</sup> 型領域からなるアノード引き出し領域、14 は受光領域の外周をトレンチ構造

の開口を行った領域にアノードコンタクトを取るための低抵抗の導電体を埋め込んだ領域である。その他の構成は、第1の実施の形態と同じである。

#### 【0028】

第2の実施の形態では、複数の受光素子が形成された受光領域の外周をトレンチ構造で囲み、導電体を埋め込んでトレンチ下でコンタクトを取ることを特徴とする。すなわち、複数の受光素子が形成された受光領域の外周を囲むように絶縁体または誘電体分離領域6内にトレンチ構造の開口を設け、その開口に導電体を埋め込んで導電体埋め込み領域14としている。また、導電体埋め込み領域14直下のP<sup>+</sup>型のアノード引き出し領域13と、導電体埋め込み領域14上のアノード電極12は、導電体埋め込み領域14同様、受光領域の外周を囲むように形成されている。

#### 【0029】

この第2の実施の形態の構成の製造方法は、第1の実施の形態とは、P<sup>+</sup>型のアノード引き出し領域13、導電体埋め込み領域14およびアノード電極12を形成する領域（範囲）が異なるだけであり、その他は第1の実施の形態と同様にして製造できる。

#### 【0030】

第2の実施の形態では、第1の実施の形態と同様の効果が得られることに加え、前述の構成により、アノード領域であるP型半導体基板2で発生したキャリアを均一に最短ルートで吸い上げることができるため周波数特性をより向上できる。

#### 【0031】

（第3の実施の形態）

図3は、本発明における第3の実施の形態における光半導体装置の構造を示す断面図である。15はP型半導体基板2上に形成されたP<sup>+</sup>型埋め込み領域、16はP<sup>+</sup>型埋め込み領域15上に形成されたP<sup>-</sup>型のアノード領域である。17はP<sup>+</sup>型埋め込み領域15に接しP<sup>+</sup>型埋め込み領域15と同等のP型不純物濃度もしくはP<sup>+</sup>型埋め込み領域15よりも高いP型不純物濃度のP<sup>+</sup>型領域からなるアノード引き出し領域、18は分離領域内をアノード引き出し領域17に達

するようにエッチングにより開口した領域にアノードコンタクトを取るために低抵抗の導電体を埋め込んだ領域である。その他の構成は、第1の実施の形態と同じである。

#### 【0032】

第3の実施の形態においては、第1の実施の形態に対し、受光領域の直下にP<sup>+</sup>型埋め込み領域15を形成し、P<sup>+</sup>型埋め込み領域15に対しアノードコンタクトをとるようにしていることを特徴とし、P<sup>+</sup>型埋め込み領域15の不純物濃度をP型半導体基板2より高くすることによってポテンシャルバリアが高くなるため、P<sup>+</sup>型埋め込み領域15直下で発生した拡散移動による低速なキャリア成分をカットできるため周波数特性の低下を阻止できる。さらにP<sup>+</sup>型埋め込み領域15によりシリーズ抵抗が低減される上に、低抵抗の導電体を埋め込んでP<sup>+</sup>型埋め込み領域15と直接コンタクトを取る構造にすることで、大幅にシリーズ抵抗が低減できるため受光素子の周波数特性を向上できる。

#### 【0033】

なお、P<sup>-</sup>型のアノード領域16は、P型半導体基板2よりもP型不純物濃度が低い必要性はなく、P<sup>+</sup>型埋め込み領域15との境界まで空乏層が伸びきる不純物濃度に設定することが重要であり、これにより、P<sup>-</sup>型のアノード領域16で生成されたキャリアが電界によりドリフトされて高速移動することができる。

#### 【0034】

この第3の実施の形態における光半導体装置の製造方法の一例を説明する。まず、半導体基板2上に、P型不純物をイオン注入してP<sup>+</sup>型埋め込み領域15を形成後、エピタキシャル成長によりアノード領域16となるP<sup>-</sup>型半導体層を成膜する。さらに、P<sup>-</sup>型半導体層上に、エピタキシャル成長によりN型半導体層の形成層3を成膜する。次に、例えば、N型半導体層の形成層3を選択的にエッチングし、局部的にパイロジェニック方式などで熱酸化を行いリセスLOCOSを成長させて酸化膜よりなる分離領域6を形成する。その後、N型半導体層の形成層3の表面に、N型不純物を低加速度で極浅のイオン注入をしてカソードコンタクト領域8を形成し、同時にカソード領域7が形成される。そして、例えば、ドライエッチングによって分離領域6の所定部分をエッチングしてP<sup>+</sup>型埋め込

み領域 15 に到達する開口を形成した後、その開口に P<sup>+</sup> 型不純物をイオン注入してアノード引き出し領域 17 を形成する。さらに、P 型不純物によるドーパドポリシリコンを埋め込み、エッチバックにより表面のドーパドポリシリコンのみを除去して導電体を埋め込んだ領域 18 を形成する。次に、例えば減圧 CVD 方式により SiN 膜を成膜させた後、常圧 CVD 方式により酸化膜を成膜することで全面に絶縁膜 4 (SiN 膜と酸化膜よりなる) を形成する。次に、カソードコンタクト領域 8 および導電体を埋め込んだ領域 18 とコンタクトを取るため、選択的にドライエッチングにより絶縁膜 4 の所定部分をエッチングし開口する。そして、スパッタ方式によりアルミニウムを堆積させた後、パターンニングしてカソード電極 9 およびアノード電極 12 を形成する。最後に、受光部の反射防止膜領域のみをウェットエッチングによって上記の常圧 CVD 方式で成膜した酸化膜を除去することで反射防止膜 5 (上記の SiN 膜よりなる) を形成して、第 3 の実施の形態における光半導体装置が完成する。

#### 【0035】

上記の第 1、第 2、第 3 の実施の形態の構造では絶縁体または誘電体分離幅が 1 ~ 2  $\mu\text{m}$  以下とすることが可能になり、入射する光の検出精度が改善されるだけでなく、集積度を上げることと、受光素子間の分離幅の制限が低減されるため、所望の受光部の設計ができるという利点がある。また、第 1、第 3 の実施の形態の構造では導電体の埋め込み領域 11、18 の開口面積を数  $\mu\text{m}^2$  程度にすることが可能であるため、素子のレイアウトの自由度が大きいという利点がある。

#### 【0036】

なお、第 1、第 2、第 3 の実施の形態における低抵抗の導電体の埋め込み領域 11、14、18 は、前述のように、ドーパドポリシリコンを埋め込んだ後、エッチバックにより表層部のドーパドポリシリコンを取り除いて形成する方法以外に、プラグ方式を用いてタングステンを埋め込んで形成する方法がある。

#### 【0037】

また、第 1、第 2、第 3 の実施の形態では、第 1 導電型を P 型、第 2 導電型を N 型として本発明を説明したが、各部の導電型を逆にして第 1 導電型を N 型、第 2 導電型を P 型としても、各実施の形態において同様の効果が得られる。

## 【0038】

## (第4の実施の形態)

図4は、本発明における第4の実施の形態における光半導体装置の構造を示す断面図である。19はトランジスタ形成領域である。20はN<sup>+</sup>型コレクタ埋め込み領域、21はN<sup>+</sup>型コレクタ埋め込み領域20上に選択的に形成されたN型コレクタ領域、22はN<sup>+</sup>型コレクタ埋め込み領域20の周辺上に選択的に形成されたN<sup>+</sup>型コレクタ引き出し領域、23はN<sup>+</sup>型コレクタ引き出し領域22上に形成されたN<sup>+</sup>型コレクタコンタクト領域、24はN<sup>+</sup>型コレクタコンタクト領域23上に形成されたコレクタ電極である。また、25はN型コレクタ領域21に選択的に形成されたP型ベース領域、26はP型ベース領域25の周辺部片側上に選択的に形成されたP<sup>+</sup>型ベースコンタクト領域、27はP<sup>+</sup>型ベースコンタクト領域26に形成されたベース電極である。一方、28はP<sup>+</sup>型ベースコンタクト領域26に対向して選択的に形成されたN<sup>+</sup>型エミッタ領域、29はN<sup>+</sup>型エミッタ領域28上に形成されたエミッタ電極である。その他の構成は、第3の実施の形態と同じである。

## 【0039】

以下に、第4の実施の形態に関する回路構成の例を説明する。

## 【0040】

図5は、電流電圧変換の回路を示す図であり、30は受光素子、31は受光素子に入射される光信号、32はアンプ、33はインピーダンスである。

## 【0041】

図5に示すような回路において受光素子30に入射された光信号31が光電変換され、この電流がトランジスタと容量素子と抵抗素子などで構成されるアンプ32およびインピーダンス33により電流電圧変換されて信号出力される。CDなどの光ピックアップ装置では、それぞれの受光領域から出力される光電流による信号検出を行うだけでなく、通常、複数の受光素子を用いてレーザ光の位置や形状の変化からトラッキング信号やフォーカス信号を得ることにより光ピックアップ装置を制御している。回路を同一チップに内蔵することによって、特に外来ノイズに強く、高速動作が可能な光半導体装置を実現できる。

【0042】

## 【発明の効果】

以上のように本発明によれば、各受光素子間を絶縁体または誘電体の分離領域で分離することによって寄生容量を低減することができ、かつ、分離領域に形成した開口に導電体を埋め込んだコンタクト部により、受光素子を構成する第1導電型の半導体領域と電極とを電氣的に接続することによって、シリーズ抵抗を低減することができるため、受光素子の周波数特性を向上した光半導体装置を実現することができる。

## 【図面の簡単な説明】

## 【図1】

本発明の第1の実施の形態の光半導体装置の構造を示す断面図である。

## 【図2】

本発明の第2の実施の形態の光半導体装置の構造を示す断面図である。

## 【図3】

本発明の第3の実施の形態の光半導体装置の構造を示す断面図である。

## 【図4】

本発明の第4の実施の形態の光半導体装置の構造を示す断面図である。

## 【図5】

本発明の第4の実施の形態における電流電圧変換回路の回路図である。

## 【図6】

従来の光半導体装置の構造を示す断面図である。

## 【符号の説明】

- 1 受光素子形成領域
- 2 P型半導体基板
- 3 N型半導体層の形成層
- 4 絶縁膜
- 5 反射防止膜
- 6 絶縁体または誘電体分離領域
- 7 カソード領域



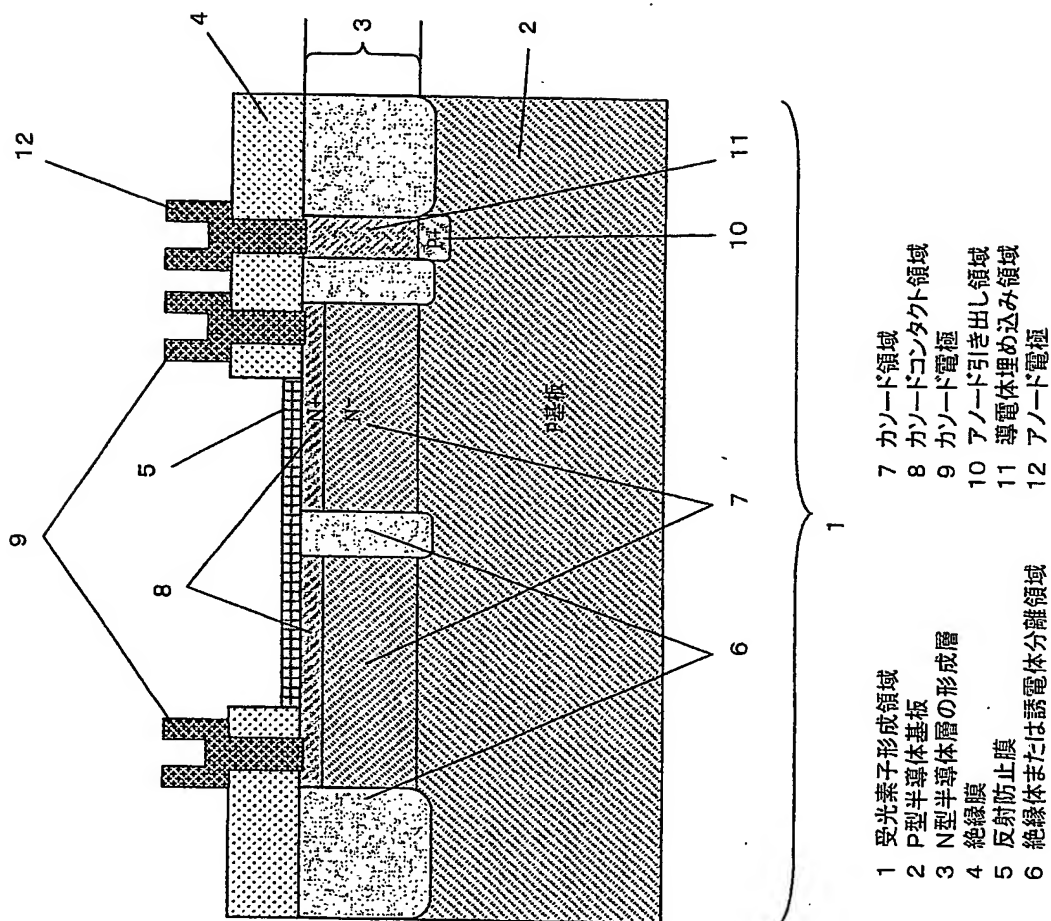
- 8 カソードコンタクト領域
- 9 カソード電極
- 10 アノード引き出し領域
- 11 導電体埋め込み領域
- 12 アノード電極
- 13 トレンチ下のアノード引き出し領域
- 14 トレンチ構造の導電体埋め込み領域
- 15 P+ 型埋め込み領域
- 16 アノード領域
- 17 P+ 型埋め込み領域に接したアノード引き出し領域
- 18 アノード引き出し領域まで達した導電体埋め込み領域
- 19 トランジスタ形成領域
- 20 N+ 型コレクタ埋め込み領域
- 21 N型コレクタ領域
- 22 N+ 型コレクタ引き出し領域
- 23 N+ 型コレクタコンタクト領域
- 24 コレクタ電極
- 25 P型ベース領域
- 26 P+ 型ベースコンタクト領域
- 27 ベース電極
- 28 N+ 型エミッタ領域
- 29 エミッタ電極
- 30 受光素子
- 31 光信号
- 32 アンプ
- 33 インピーダンス
- 101 受光素子形成領域
- 102 P型半導体基板
- 103 N型半導体層の形成層

- 1 0 4 絶縁膜
- 1 0 5 反射防止膜
- 1 0 6 絶縁体または誘電体分離領域
- 1 0 7 カソード領域
- 1 0 8 カソードコンタクト領域
- 1 0 9 カソード電極
- 1 1 0 アノード引き出し領域
- 1 1 1 アノードコンタクト領域
- 1 1 2 アノード電極

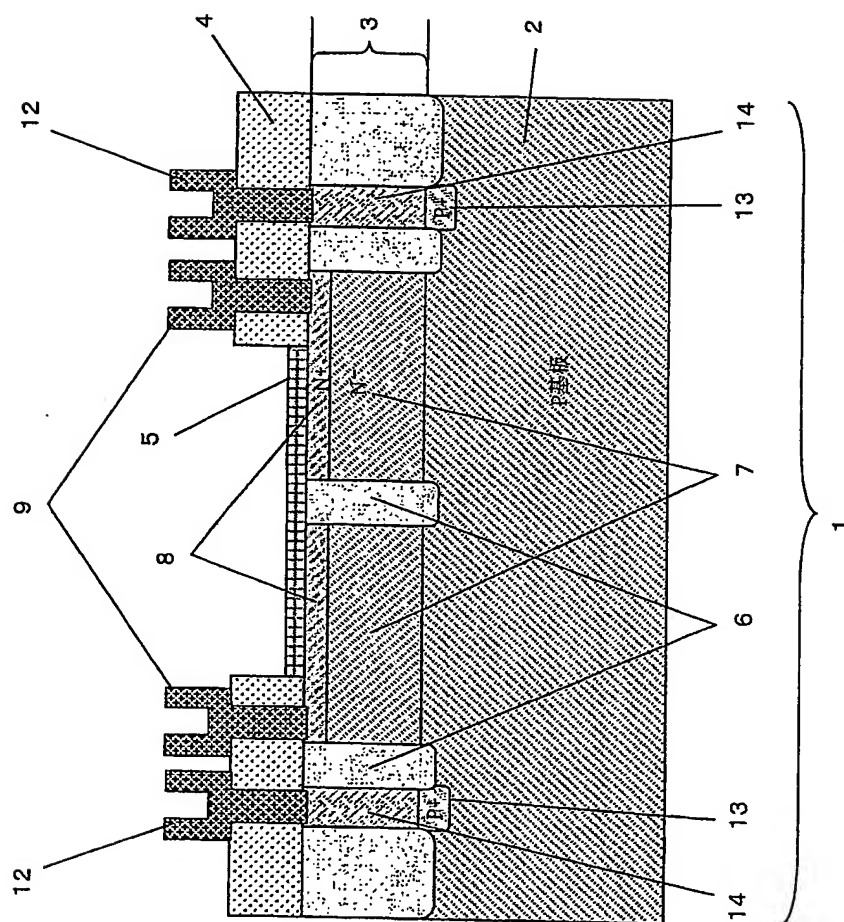
【書類名】

図面

【図 1】

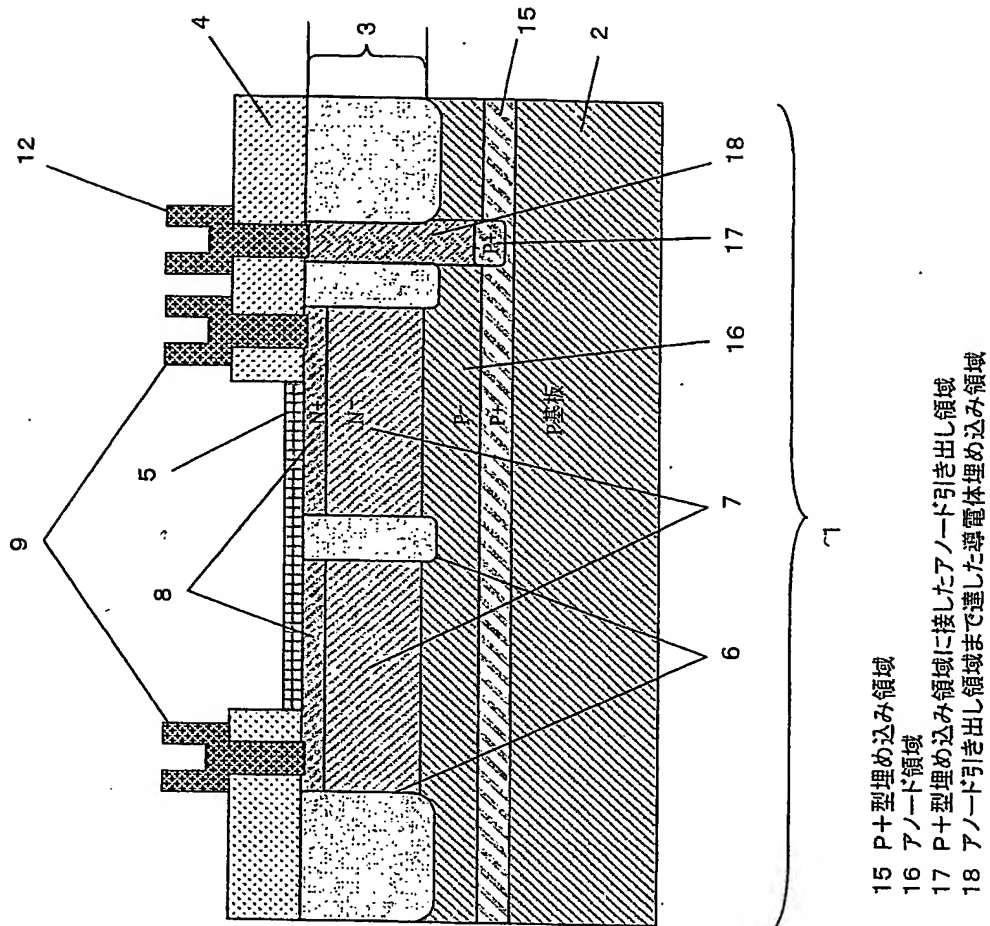


【図 2】

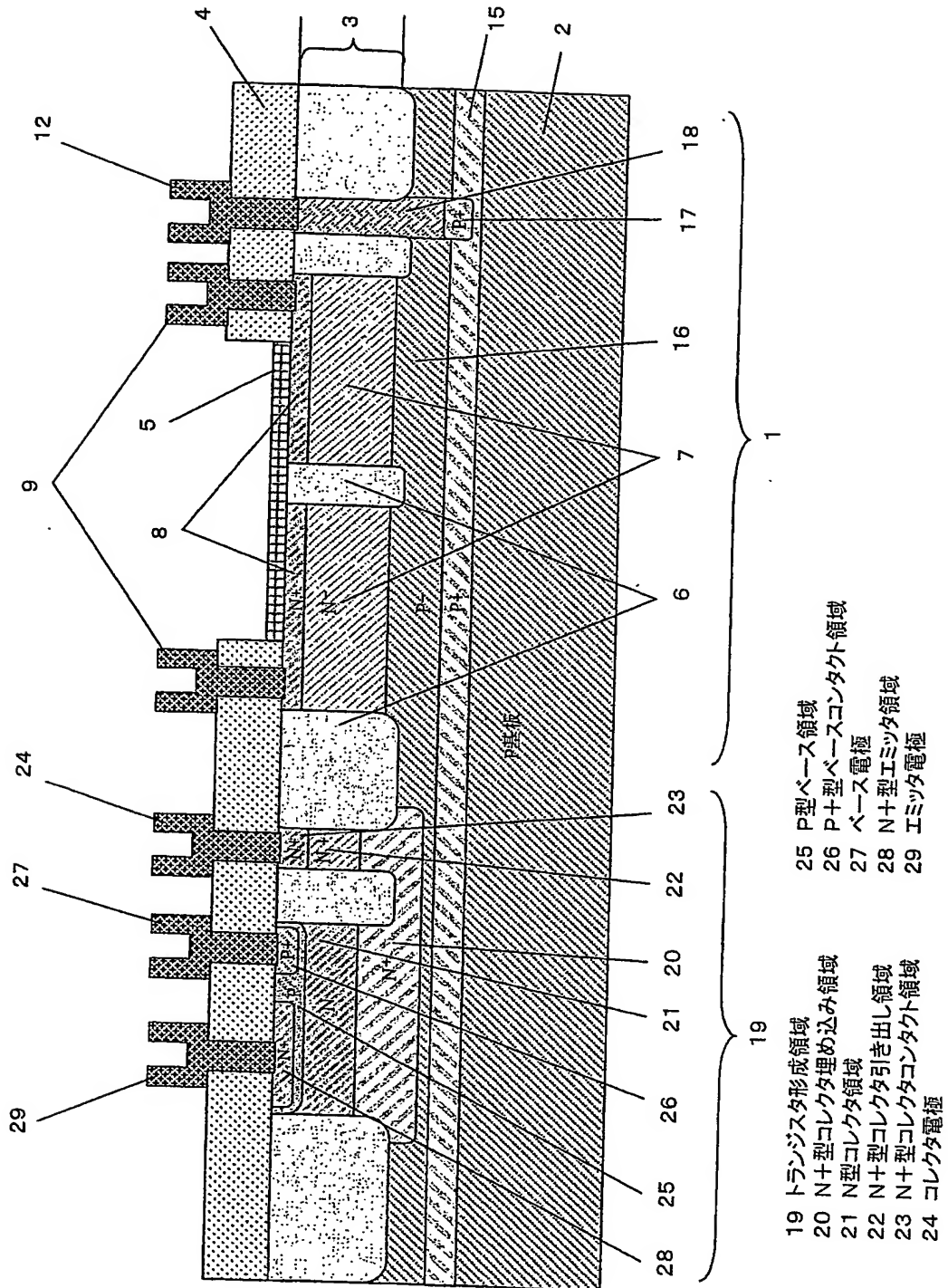


13 トレンチ下のアノード引き出し領域  
14 トレンチ構造の導電体埋め込み領域

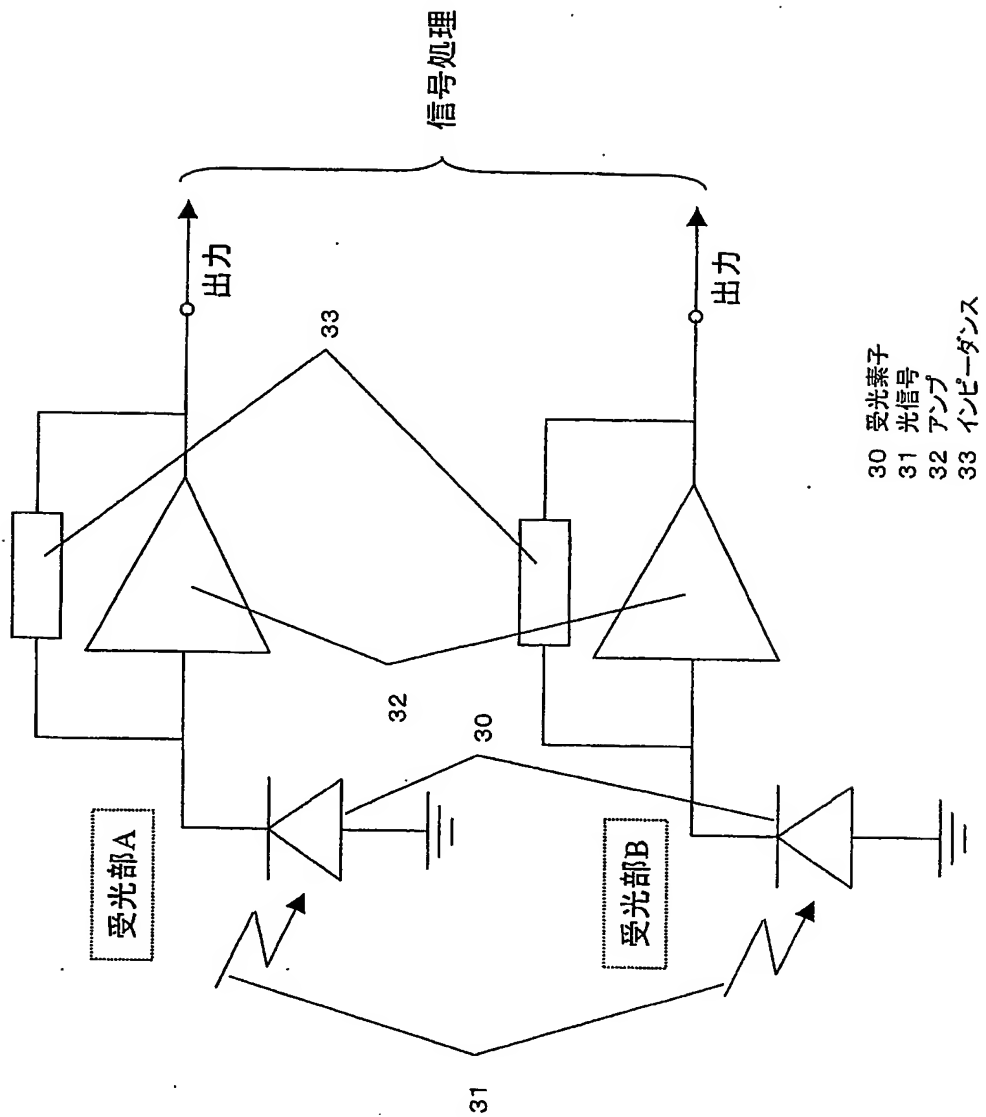
【図 3】



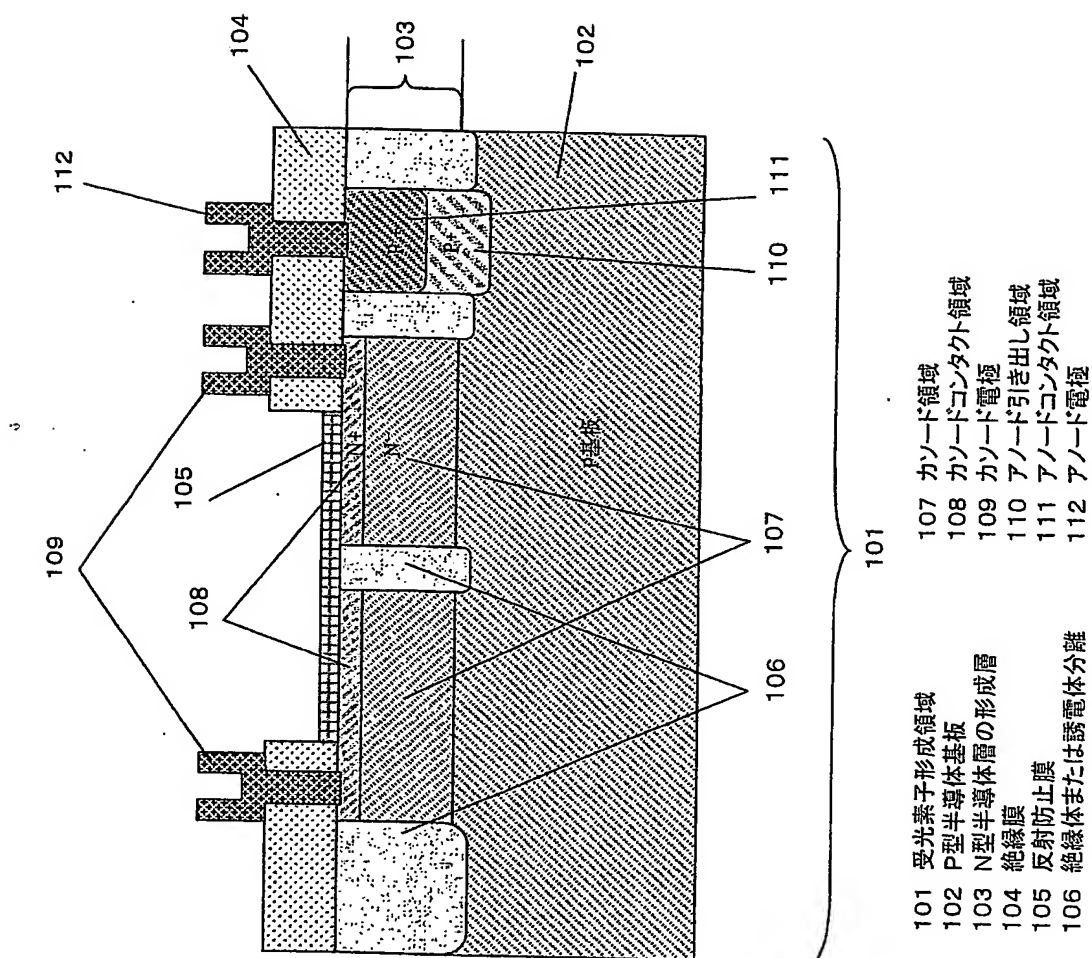
【図4】



【図 5】



【図 6】





【書類名】 要約書

【要約】

【課題】 従来、複数の受光素子是不純物の拡散および埋め込み領域により半導体基板から電極を引き出しているためシリーズ抵抗が比較的大きく、受光素子の周波数特性の向上が困難であった。

【解決手段】 受光素子間を絶縁体または誘電体の分離領域6で分離することにより寄生容量が低減され、かつ、低抵抗の導電体を埋め込んだ導電体埋め込み領域11でアノード領域となるP型半導体基板2から直接コンタクトを取ることにによりシリーズ抵抗が低減されるため、受光素子の周波数特性を向上することができる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 5 1 7 8
受付番号	5 0 2 0 1 7 9 9 8 8 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 2 9 日

< 認定情報・付加情報 >

【提出日】 平成14年11月28日

次頁無

特願 2 0 0 2 - 3 4 5 1 7 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**